

DC-DC-Wandler als FPGA basierte Lehr- und Forschungsplattform

Prof. Dr.-Ing. Sebastian Koj, Jade Hochschule Wilhelmshaven/Oldenburg/Elsfleth, DE
Prof. Dr.-Ing. Alexandra Burger, Jade Hochschule Wilhelmshaven/Oldenburg/Elsfleth, DE
Prof. Dr.-Ing. Jens Werner, Jade Hochschule Wilhelmshaven/Oldenburg/Elsfleth, DE
M. Sc. Karsten Schubert, Jade Hochschule Wilhelmshaven/Oldenburg/Elsfleth, DE

1 Einleitung und Motivation

Eine Herausforderung in der Hochschulausbildung von Ingenieurinnen und Ingenieuren besteht heute darin, den Studierenden praktische Erfahrungen in dem Entwurf und der Implementierung von Regelungen zu vermitteln. Dazu bedarf es konkreter praktischer Anwendungen. Eine solche ist der Entwurf von EMV-gerechten Regelstrategien für Abwärtswandler (DC-DC-Wandler). Der Vorteil dieser Anwendung ist neben dem Praxisaspekt auch die Verzahnung verschiedener Fachgebiete, wodurch auch die Interdisziplinarität in den Vordergrund gerückt wird.

Die Anwendung von kommerziellen Evaluierungsboards, wie zum Beispiel dem synchronen Abwärtswandler-Evaluierungsmodul LM73605 [1], ist hier didaktisch nicht vorteilhaft, da dieses vom Hersteller zwar unter dem Aspekt des Wirkungsgrades optimiert wurde, jedoch keinen Zugriff auf interne Eigenschaften, wie die Regelalgorithmen erlaubt.

Aus diesem Grund wird in diesem Projekt eine offene Lehr- und Forschungsplattform auf FPGA Basis entwickelt, welche eine Anwendung verschiedener Regelstrategien [2] und eine Bewertung ihres Einflusses auf die EMV-Eigenschaften ermöglicht. Darüber hinaus ermöglicht diese neu entwickelte Plattform die Analyse und den Vergleich von verschiedenen Strategien zur Erreichung von EMV-Anforderungen im Entwicklungsprozess sowie deren Auswirkungen auf die Performance des Reglers.

Zur Erreichung der skizzierten Ziele wird in diesem Beitrag zunächst im Kapitel 2 auf die Ergebnisse der vorangegangenen Arbeiten eingegangen. Darauf aufbauend wird im Kapitel 3 ein neuer Ansatz erläutert, welcher auf der Anwendung eines FPGA-Bausteins zur Umsetzung der Steuerung, bzw. Regelung eines DC-DC-Wandlers basiert. Im Kapitel 4 folgen exemplarische Messergebnisse für verschiedene Regelstrategien und deren Interpretation. Die wesentlichen Ergebnisse dieser Arbeit werden im Kapitel 5 zusammengefasst.

2 Stand der Technik und Ergebnisse bisheriger Veröffentlichungen

2.1 Typische Architektur eines DC-DC-Abwärtswandlers

Zur Erläuterung einer typischen Architektur eines DC-DC-Abwärtswandlers soll Abbildung 1 betrachtet werden. Die Eingangsspannung U_{in} wird hier über eine Netznachbildung (LISN) zum Leistungspfad des Abwärtswandlers geführt. Der Leistungspfad des Abwärtswandlers setzt sich zusammen aus einem MOSFET-Schalter und einem in π -Topologie verschalteten DLC-Netzwerk, welches aus einer Schottky-Diode D , einer Induktivität L und einem Ausgangskondensator C besteht. Die Ausgangsspannung U_{out} (Regelgröße) wird an dem Kondensator C abgegriffen und über ein Anti-Aliasing-Filter (AAF) sowie einen Analog-Digital-Converter (ADC) mit einem Regelblock verbunden. Dieser Regelblock erzeugt ein binäres Signal, welches den MOSFET-Schalter so steuert, dass der gewünschte Effektivwert der Ausgangsspannung erreicht wird.

Für die Realisierung des Regelblocks sind zwei Hauptstrategien üblich: Zum einen konventionelle P- oder PI-Regler kombiniert mit einem Pulsweitenmodulationsteil (PWM) und zum anderen direkt schaltende Regler, z. B. Zweipunktregler mit oder ohne Hysterese.

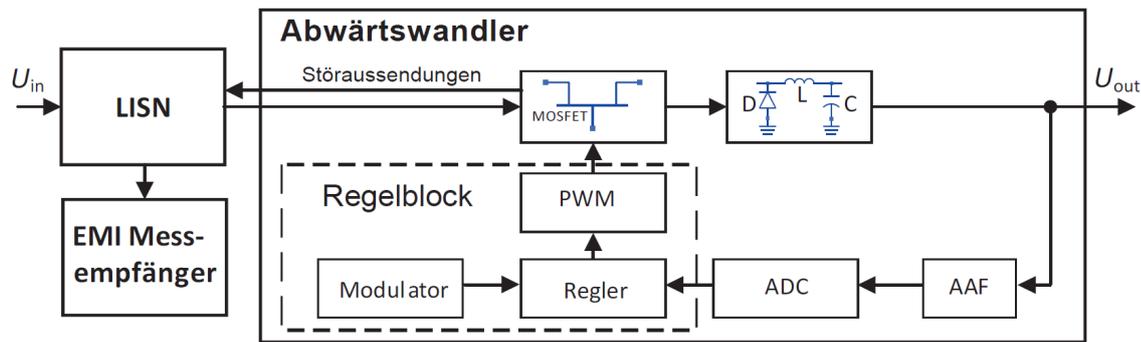


Abbildung 1: Typische Architektur eines DC-DC-Abwärtswandlers ergänzt durch eine Netznachbildung (LISN) und einen EMI Messempfänger zur Störaussendungsmessung.

Allen Regelstrategien ist gemeinsam, dass die binäre Stellgröße schnelle Anstiegs- und Abfallzeiten aufweist, so dass die Verluste im MOSFET-Schalter minimiert werden. Die schnellen Schaltzeiten verursachen jedoch ein breites Frequenzspektrum der geschalteten Ströme und Spannungen im Leistungspfad des Abwärtswandlers, welche als Quellen vielfältiger Störaussendungsprobleme zu sehen sind. Zur Charakterisierung der Störaussendungen werden üblicherweise Messungen mit einem Spektrumanalysator oder einem EMI-Messempfänger an der LISN durchgeführt (vgl. Abbildung 1, links). Eine Reduktion der Störaussendungen kann z. B. mit sog. Spread-Spektrum-basierten PWM-Techniken erreicht werden [3].

2.2 Realisierungen des Pulsweitenmodulationsteils

Während das binäre Steuersignal für den MOSFET-Schalter als digitales Signal betrachtet werden kann, können die Blöcke im Regelblock vor dem Schalter durch analoge oder digitale Schaltungen realisiert werden.

Analoge Schaltungen werden in rein analoge Schaltungen und in sog. Mixed-Signal-Schaltungen unterteilt. Beispiele für analoge Umsetzungen sind nichtperiodische Oszillatoren, wie die Chua-Schaltung und deren Derivate [4], aperiodische Pulsmodulation [5] und chaotische Pulspositionsmodulation sowie chaotische PWM [6].

Digitale Implementierungen basieren auf Field Programmable Gate Arrays (FPGAs) oder eingebetteten Mikrocontrollern. Beide ermöglichen, im Gegensatz zu anwendungsspezifischen integrierten Schaltkreisen (ASICs), die freie Programmierung für bestimmte Anwendungsfälle.

FPGAs haben den Vorteil einer guten Energieeffizienz und bringen eine sehr hohe Rechenleistung mit sich. Implementierungen von DC-DC-Wandlern unter Verwendung eines FPGA sind in [7] – [9] beschrieben.

Moderne eingebettete Mikrocontroller bieten zahlreiche Hilfsblöcke, z. B. Analog-Digital-Wandler (ADCs), PWM-Timer-Schaltungen, Direct Memory Access (DMA) und Floating Point Units (FPUs). Alle diese Funktionen unterstützen die digitale Implementierung vielfältiger PWM-Spread-Spektrum-Algorithmen [3], [10], [11].

2.3 DC-DC-Wandler als Lehr- und Forschungsplattform

Motiviert durch die oben beschriebenen Strategien zur Reduzierung der Störaussendungen von Abwärtswandlern und getragen durch den Wunsch diese Strategien den Studierenden in einem praktischen Laborversuch zugänglich zu machen, wurde im Rahmen einer Pilotstudie eine prototypische Lehrplattform auf Mikrocontroller-Basis entwickelt [12]. Hier haben die Studierenden selbst zwei unterschiedliche Regler gemäß Abbildung 2 implementiert. Der Regler A ist ein einfacher Zweipunkt-Regler ohne Hysterese, der Regler B ist ein konventioneller PI-Regler.

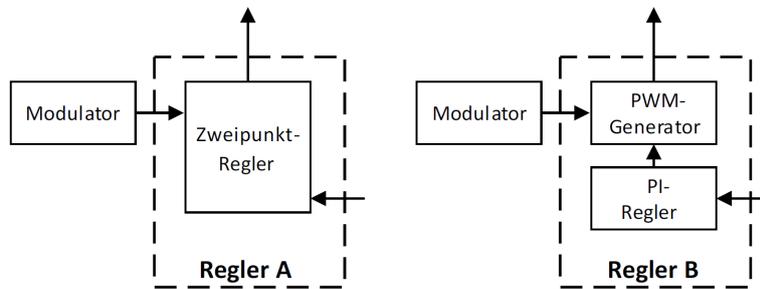


Abbildung 2: Von Studierenden auf einem Mikrocontroller implementierte Regler [12].

Die mit einem EMI-Messempfänger gemessenen exemplarischen Ergebnisse in Abbildung 3 zeigen einen deutlichen Einfluss der Reglerart auf die Höhe der Störpegel. Somit ist hiermit eine Verbildlichung des Reglereinflusses auf die EMV-Performance des Abwärtswandlers sehr gut möglich. Mit den Erfahrungen und den Ergebnissen aus der Pilotstudie konnte nachgewiesen werden, dass die vorgeschlagene Plattform den Bildungsanforderungen gerecht wird.

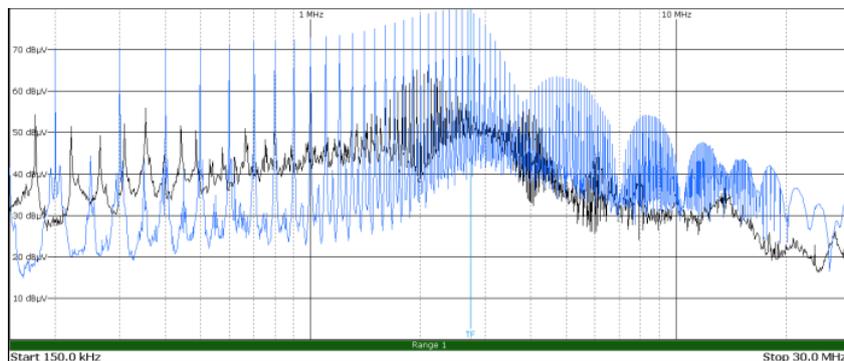


Abbildung 3: Störpektrum des DC-DC-Wandlers gemessen am LISN-Ausgang bei U_{in} , erzielt mit einem Zweipunkt-Regler (schwarz) und mit einem PI-Regler (blau) [12].

Ebenfalls auf einem Mikrocontroller basiert die in [13] beschriebene selbstadaptive Abwärts-wandlerplattform nach Abbildung 4. Hier wird eine DC-DC-Wandlerarchitektur vorgeschlagen, welche eine sehr flexible Softwareimplementierung, Analyse und Bewertung von Regelstrategien für die Ausgangsspannung ermöglicht. Des Weiteren erlaubt diese Architektur eine Umsetzung von Strategien zur Reduzierung von leitungsführten Störaussendungen mittels PWM-Spread-Spektrum-Algorithmen. Dabei können die notwendigen Parametersätze für unterschiedliche Lastbedingungen anschaulich optimiert werden, wodurch schließlich die Entwicklung von neuen ASICs unterstützt wird. Die Flexibilität und die geringen Kosten dieser Plattform machen sie auch für Hochschulausbildungszwecke attraktiv. Der Mikrocontroller-Ansatz ist jedoch nicht performant genug, um in Echtzeit die Spektren der leitungsführten Störaussendungen berechnen zu können (der typische Frequenzbereich liegt hier zwischen 150 kHz und 30 MHz). Daher entsteht der Wunsch nach einer Plattform auf FPGA-Basis.

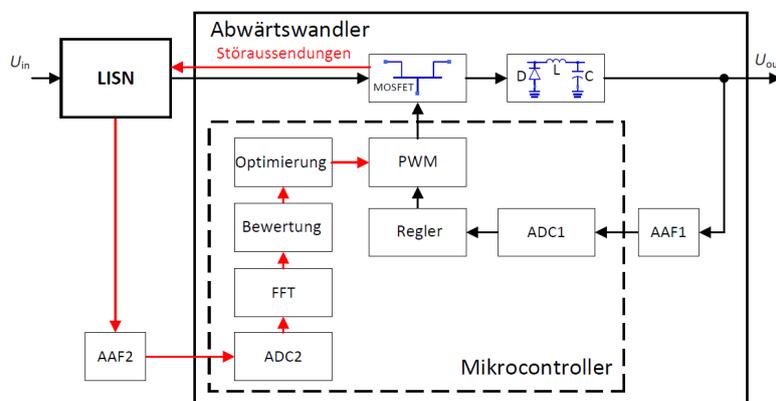


Abbildung 4: Die Architektur eines selbstadaptiven Abwärtswandlers [13.]

3 Methodologischer Ansatz: DC-DC-Wandler auf FPGA-Basis

Zur Erreichung einer Echtzeitfähigkeit der oben vorgestellten Ansätze mit einer Bandbreite von über 30 MHz wird der Reglerblock aus Abbildung 1 auf FPGA-Basis realisiert. Als konkrete Plattform wird hierzu die Open-Source Test- und Mess-Plattform STEMLab von Red Pitaya verwendet [14]. Diese Plattform ist mit dem Chip Xilinx Zynq-7010 ausgestattet, welcher einen Dual-Core-ARM-Cortex-A9-Prozessor und einen integrierten Artix-7-FPGA-Logikblock enthält. Neben den gängigen Schnittstellen zur Ansteuerung (USB, Ethernet) ist bei dieser Plattform die Möglichkeit einer Ein- bzw. Auskopplung diverser Signale über koaxiale SMA-Anschlüsse gegeben. Dies ermöglicht eine direkte Visualisierung der Signale z. B. mit einem Oszilloskop. In Abbildung 5 ist die STEMLab-Plattform (rot) direkt mit einer Leiterplatte (PCB, grün) verbunden dargestellt. Auf der PCB sind der MOSFET-Schalter, eine Gate-Treiberschaltung und das DLC-Netzwerk verbaut. Zusätzlich sind auf der PCB SMA-Buchsen vorhanden, so dass die Signale des Abwärtswandlers für den Lehrbetrieb ausgekoppelt und dargestellt werden können.

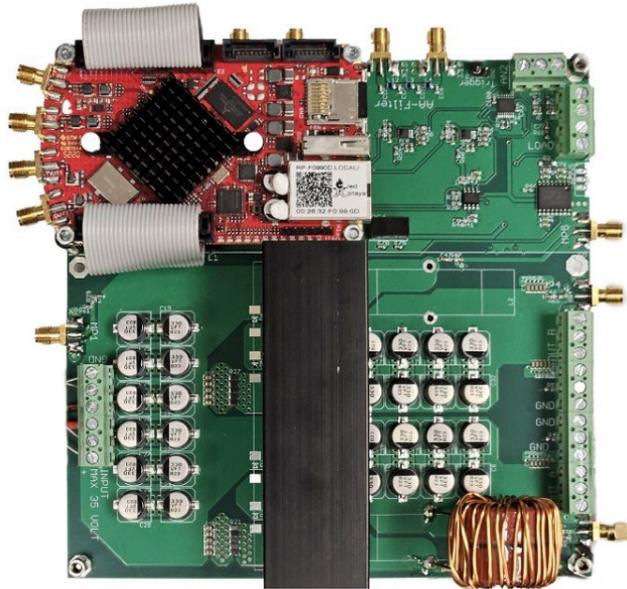


Abbildung 5: Der aufgebaute DC-DC-Wandler als Lehr- und Forschungsplattform mit einem Regel- und Steuerblock auf FPGA-Basis.

Die im FPGA-Baustein implementierte Reglerstruktur ist in Abbildung 6 dargestellt. Es handelt sich hier um eine PID-Reglerstruktur mit der Verstärkung K_R und den Parametern T_N und T_V des I- und D-Glieds. Die Grundschwingung des PWM-Signals wird durch einen Modulator erzeugt, in dem ein Oszillator mit der festen Frequenz von $f_o = 122,88$ MHz und ein Zähler mit der Periodendauer $T_z = 2^{11} = 2048$ implementiert sind. Zusammen ermöglichen diese Bausteine eine Grundfrequenz des PWM-Signals von $f_{PWM} = f_o/T_z = 60$ kHz.

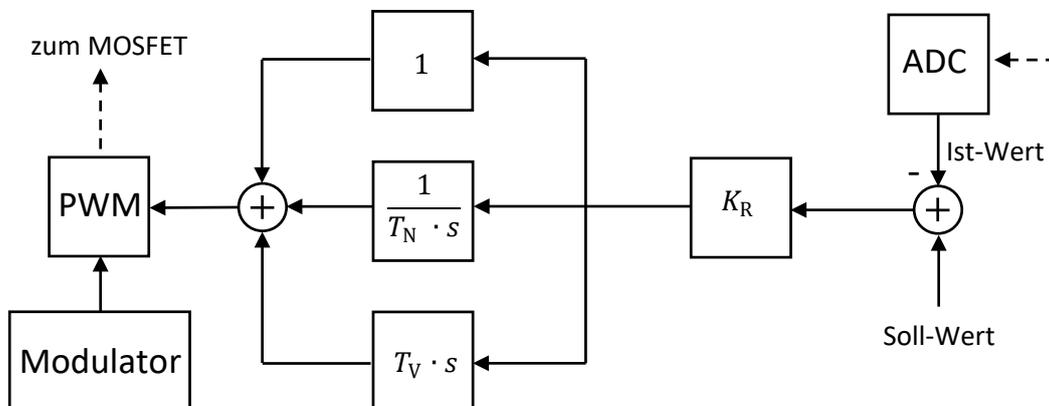


Abbildung 6: PID-Reglerstruktur zur Ansteuerung des PWM-Moduls des Abwärtswandlers.

4 Messergebnisse für exemplarische Regelstrategien

Um den Einfluss der Reglerparameter auf das Spektrum der Störaussendung des aufgebauten Abwärtswandlers zu demonstrieren, werden Messungen in Anlehnung an Abbildung 1 durchgeführt. Als EMI-Messempfänger wird der ESW26 von Rohde & Schwarz verwendet. Der Ausgang des Abwärtswandlers (U_{out}) wird mit einem konstanten ohmschen Verbraucher belastet. Insgesamt werden drei Betriebszustände des Abwärtswandlers mit exemplarischen Parametern nach Tabelle 1 untersucht. Dabei handelt es sich beim Betriebszustand 1 um eine reine Steuerung, d. h. der Soll-Wert wird konstant gehalten, der Regler wird mittels Software überbrückt und das PWM-Modul wird mit einem konstanten Tastgrad angesteuert. Bei den Betriebszuständen 2 und 3 ist der Regler aktiv, das System wird mit aufeinander folgenden Sollwertsprüngen angeregt, sodass der Regler dauerhaft arbeitet. Die Reglerparameter in Betriebszustand 2 sind so gewählt, dass sich eine im Vergleich zu Betriebszustand 3 höhere Einschwingzeit ergibt.

Regler Strategie	K_R	$T_N / \mu s$	$T_V / \mu s$
1. Steuerung	-	-	-
2. Mittelschnelle Regelung	0,226	477	318
3. Sehr schnelle Regelung	2,26	477	318

Tabelle 1: Übersicht der exemplarisch verwendeten Reglerparameter.

In Abbildung 7 sind exemplarisch die Messergebnisse der Störspannungen für den Betriebszustand 1 (links) und 3 (rechts) im Frequenzbereich von 150 kHz bis 30 MHz dargestellt. Diese beiden Betriebszustände liefern die Extrema: Betriebszustand 1 geringste Störaussendungen, Betriebszustand 2 die größten. In beiden Fällen werden die gleichen Detektoren und Erfassungsmodi verwendet: Peak-Detektor (gelb: max hold, grün: clear-write) und RMS-Detektor (orange: clear-write). Beiden Plots ist zu entnehmen, dass der größte Wert der Störspannung jeweils bei 180 kHz auftritt (blauer Marker), also bei der Frequenz der dritten Harmonischen des PWM-Signals. Auch bei höheren Harmonischen dieses Signals sind schmalbandige Störspannungen in beiden Betriebszuständen feststellbar. In Betriebszustand 1 sinken die Spannungswerte zwischen den Harmonischen jedoch näherungsweise auf den Wert des Grundrauschens, wohingegen in Betriebszustand 3 auch zwischen den schmalbandigen Pegeln der ganzzahligen Harmonischen des PWM-Signals signifikante Störspannungen zu beobachten sind. Dieses Verhalten kann über die Betrachtung des Tastgrades im jeweiligen Betriebszustand erklärt werden: Im Betriebszustand 1 wird durch die Steuerung der Tastgrad konstant gehalten, sodass die steilen Flanken der Spannung und des Stroms im Leistungspfad des Abwärtswandlers lediglich Frequenzanteile bei ganzzahligen vielfachen der PWM-Grundfrequenz anregen. Im Betriebszustand 3 hingegen wird durch die Regelung der Tastgrad ständig variiert, wodurch Spektralanteile zwischen den Harmonischen des PWM-Signals angeregt werden und das Störspektrum im betrachteten Frequenzbereich angehoben wird.

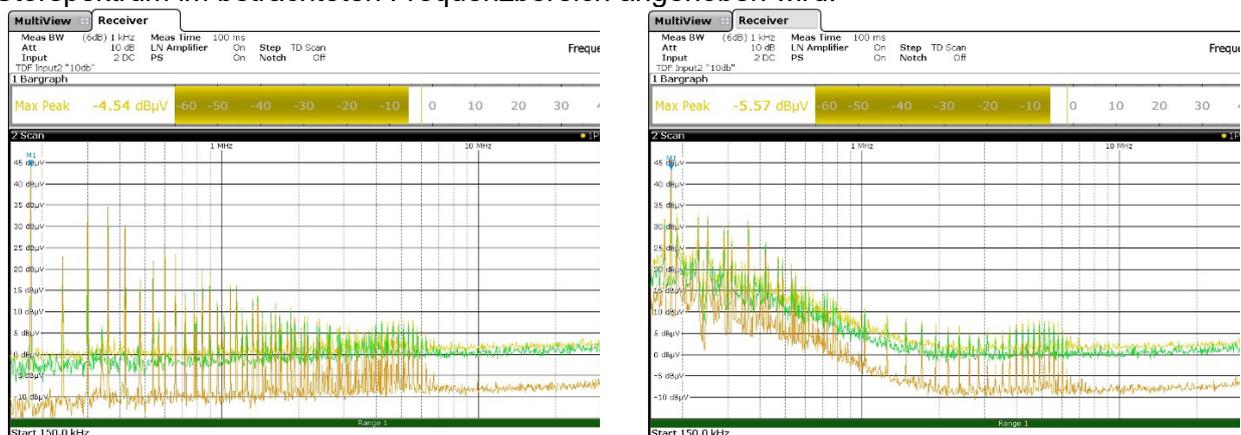


Abbildung 7: Spektren der gemessenen Störaussendungen im Betriebszustand 1 (links) und 3 (rechts) mit den Detektoren Peak (gelb: max hold, grün: clear-write) und RMS (orange: clear-write).

5 Zusammenfassung

In diesem Beitrag wird ein Abwärtswandler als eine offene Lehr- und Forschungsplattform auf FPGA Basis vorgestellt. In dem FPGA können mit geringem Aufwand unterschiedliche Regelstrategien implementiert werden, welche neben dem Wirkungsgrad des Abwärtswandlers auch leitungsgeführte Störaussendungen beeinflussen können. Als Beispiel sind hier die präsentierten Parameter der exemplarischen Reglerstruktur, aber auch die Möglichkeit der digitalen Implementierung vielfältiger PWM-Spread-Spektrum-Algorithmen zu nennen. Somit kann anschließend der gesamte Aufbau hinsichtlich der Ausgangsleistung und der leitungsgeführten Störaussendungen von Studierenden analysiert werden.

Der Neuheitsgehalt dieser Arbeit liegt darin, dass mit der vorgestellten Schaltung eine flexible Lehr- und Forschungsplattform erstellt wird, mit welcher Studierende die Verzahnung von Regelungstechnik, EMV, Informatik, Systemtheorie und Leistungselektronik hervorragend in der Praxis erfahren und vertiefen können.

Literatur

- [1] LM61460 3-V to 36-V, 6-A, Low EMI Synchronous Step-Down Converter, Data Sheet, <https://www.ti.com/product/LM61460>, 20.09.2023.
- [2] X. Yan, Z. Shu, S. M. Sharkh, Z. -G. Wu and M. Z. Q. Chen, "Sampled-Data Control With Adjustable Switching Frequency for DC-DC Converters," in IEEE Transactions on Industrial Electronics, vol. 66, no. 10, pp. 8060-8071, Oct. 2019, doi: 10.1109/TIE.2018.2878116.
- [3] R. Gamoudi, D. Elhak Chariag and L. Sbita, "A Review of Spread-Spectrum-Based PWM Techniques A Novel Fast Digital Implementation," in IEEE Transactions on Power Electronics, vol. 33, no. 12, pp. 10292-10307, Dec. 2018, doi: 10.1109/TPEL.2018.2808038.
- [4] N, S., N, R., S, A. & Sundari A., S., "Mitigation of EMI in DC-DC converter using analogue chaotic PWM technique", International Conference on Sustainable Energy and Intelligent Systems (SEISCON 2011), 2011(583 CP):272-277. doi: 10.1049/cp.2011.0373.
- [5] S. U. Hasan, Y. R. Kafle and G. E. Town, "Simple spread-spectrum pulse-modulation technique for EMI mitigation in power converters," 2017 Australasian Universities Power Engineering Conference (AUPEC), Melbourne, VIC, Australia, 2017, pp. 1-5, doi: 10.1109/AUPEC.2017.8282479.
- [6] Premalatha, L. & Raghavendiran, T.A. & Ravichandran, C., "Experimental Study on Conducted EMI Mitigation in SMPS using a Novel Spread Spectrum Technique", in Journal of Power Electronics, vol.13, pp. 619-625, doi:10.6113/JPE.2013.13.4.619.
- [7] Sudhakar N, Rajasekar N and Shanmuga Sundari A, "FPGA based Chaotic PWM combined with soft switching for effective EMI mitigation in boost converter," 2016 International Conference on Energy Efficient Technologies for Sustainability (ICEETS), Nagercoil, India, 2016, pp. 148-152, doi: 10.1109/ICEETS.2016.7582915.
- [8] P. R. Kumar, R. Uthirasamy, C. G. G. Shankar and M. Fabin Roy, "FPGA Based SIDO DC Converter for Electronics in Autonomous Rovers Applications," 2018 4th International Conference on Electrical Energy Systems (ICEES), Chennai, India, 2018, pp. 47-50, doi: 10.1109/ICEES.2018.8443233.
- [9] S. U. Hasan and G. E. Town, "An FPGA-based aperiodic modulation strategy for EMI suppression in quasi-Z-source DC-DC converters," 2017 IEEE International Symposium on Circuits and Systems (ISCAS), Baltimore, MD, USA, 2017, pp. 1-4, doi: 10.1109/ISCAS.2017.8050509.
- [10] L. Turos, G. Csern'ath, and I. Szekeley, "EMI Reduction Techniques in Digitally Controllable Power Supplies", Procedia Technology, vol. 19, pp. 554-561, doi: 10.1016/j.protcy.2015.02.079.
- [11] J. Jankovskis, D. Stepins, S. Tjukovs, and D. Pikulin, "Examination of different spread spectrum techniques for EMI suppression in dc/dc converters", Elektronika ir Elektrotechnika, vol. 86, pp. 60-64, 06 2008.
- [12] A. Burger, L. Nolle, J. Werner, Ö. Akcay, A. Bodamer, "An Open Educational Platform: Controller Design of EMC Compliant DC Converters", 2020 International Symposium on Electromagnetic Compatibility - EMC EUROPE, Rome, Italy, 2020.
- [13] J. Werner, A. Burger, L. Nolle and K. Schubert, "On a Self-Adaptive Step-Down Converter Architecture for On-line EMI Reduction", 2020 International Symposium on Electromagnetic Compatibility - EMC EUROPE, Rome, Italy, 2020, pp. 1-3, doi: 10.1109/EMCEUROPE48519.2020.9245676.
- [14] Red Pitaya STEMLab, <https://redpitaya.com/>, 15.01.2023.